

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-266282

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/82
H03K 19/00
H03K 19/173

(21)Application number : 08-076105

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.03.1996

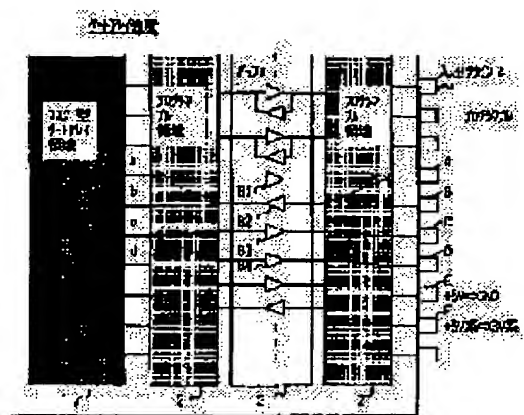
(72)Inventor : MAEZAWA NAOKI

(54) GATE ARRAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable the kinds of input output buffers as well as connection mode of input output pin and a mask type gate array region to be changed arbitrarily and selectively by changing program.

SOLUTION: Programtable regions are arranged on the periphery of a mask type gate array region 1. Besides, a plurality of buffers 3 in different kind/type/driving capacity are prepared so as to exceed the input output pin numbers and/or the terminal numbers in the mask type gate array region. Finally, the connection mode of the buffers 3 and the mask type gate array region 1 and/or the connection mode of the buffers 3 and the input output pins 4 are changed by programming said programmable region 2.



Best Available Copy

LEGAL STATUS

[Date of request for examination] 24.03.2000

[Date of sending the examiner's decision of rejection] 09.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-266282

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	E
21/822			H 0 3 K 19/00	C
21/82			19/173	1 0 1
H 0 3 K 19/00			H 0 1 L 21/82	A
19/173	1 0 1			

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平8-76105

(22) 出願日 平成8年(1996)3月29日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 前沢 直樹

神奈川県横浜市港北区新横浜二丁目15番16
株式会社富士通コンピュータテクノロジ
内

(74) 代理人 弁理士 長澤 俊一郎 (外1名)

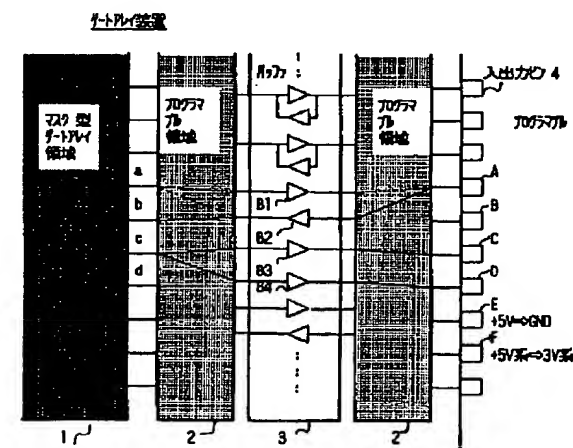
(54) 【発明の名称】 ゲートアレイ装置

(57) 【要約】

【課題】 プログラムの変更により、入出力バッファの種類、入出力ピンとマスク型ゲートアレイ領域の接続態様を任意に選択変更できるようにすること。

【解決手段】 マスク型ゲートアレイ領域1の周辺部にプログラマブル領域2を配置する。また、種類/タイプ/駆動能力の異なった複数のバッファ3を用意し、バッファ数を入出力ピン数および/またはマスク型ゲートアレイ領域の端子数より多くする。そして、上記プログラマブル領域2をプログラミングすることによりバッファ3とマスク型ゲートアレイ領域1との接続態様および/またはバッファ3と入出力ピン4との接続態様を変更する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 マスク型ゲートアレイ装置において、マスク型ゲートアレイ領域の周辺部にプログラマブル領域を配置し、

上記プログラマブル領域をプログラミングすることによりバッファとマスク型ゲートアレイ領域との接続態様および／またはバッファと入出力ピンとの接続態様を変更できるようにしたことを特徴とするゲートアレイ装置。

【請求項2】 上記バッファを、種類／タイプ／駆動能力の異なった複数のバッファから構成し、バッファ数を10 入出力ピン数および／またはマスク型ゲートアレイ領域の端子数より多くしたことを特徴とする請求項1のゲートアレイ装置。

【請求項3】 プログラマブル領域のプログラミングにより、マスク型ゲートアレイ領域への入出力信号の接続態様、および使用するバッファの種類／タイプ／駆動能力を変更可能としたことを特徴とする請求項2のゲートアレイ装置。

【請求項4】 プログラマブル領域のプログラミングにより、マスク型ゲートアレイ領域と入出力ピン間に接続20 されるバッファを、入力バッファもしくは出力バッファに変更できるようにしたことを特徴とする請求項2のゲートアレイ装置。

【請求項5】 プログラマブル領域のプログラミングにより複数のバッファをマスク型ゲートアレイ領域の同一端子に接続し、マスク型ゲートアレイ領域の同一端子に接続される入出力ピンの本数を複数としたことを特徴とする請求項2のゲートアレイ装置。

【請求項6】 プログラマブル領域のプログラミングにより、ゲートアレイ装置の電源、グラウンドの属性を変更30 できるようにしたことを特徴とする請求項2のゲートアレイ装置。

【請求項7】 プログラマブル領域のプログラミングにより、入出力ピンを複数電源に対応できるようにしたことを特徴とする請求項2のゲートアレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマスク型ゲートアレイ装置において、チップ内部にプログラマブル・ゲートアレイ領域を配し、プログラムにより入出力バッファの40 種類を自由に変更できるようにしたゲートアレイ装置に関する。

【0002】

【従来の技術】チップ上に論理セルを配置し、その周辺部にI/Oセルを配置したマスク型ゲートアレイ装置が知られている。上記した従来のマスク型ゲートアレイ装置においては、設計時に見積もったゲートアレイ装置の入出力バッファのタイプや駆動能力が実際の回路検証時に不足であった場合、ゲートアレイ装置を再度設計製造するか、あるいは、ゲートアレイ外部のプリント基板上50

でバッファリングを行うしかない。後者の場合は、プリント基板の再設計か、プリント基板上でのパターンを手作業で切断するなどの加工が必要となる。

【0003】ゲートアレイ装置を再度設計製造するには、膨大な費用と開発期間が必要であり、製品開発の期間の延長、開発コストのアップとなる。また、プリント基板上的パターンを手作業で切断し、ジャンパー線などで配線を変更すると、問題のあったゲートアレイ装置以外のプリント基板上の部品などの配線にも影響を及ぼしたり、ジャンパー線を使用することによりプリント基板の信頼性も低下する。プログラマブル・ゲートアレイ装置を使用すれば、入出力バッファの種類の変更は可能であるが、プログラマブル・ゲートアレイ装置は単価が高く、集積度もマスク型ゲートアレイ装置には及ばず量産製品には不向きである。

【0004】また、通常、入力ピン（或いは出力ピン）をゲートアレイ装置の試験時などに出力ピン（或いは入力ピン）として使用したい場合などには、ゲートアレイ論理回路作成時に予めテスト回路を付加し、バッファとして双方向タイプのもを用意しなければならず、ゲートアレイ製造後に入力ピン（或いは出力ピン）を出力ピン（入力ピン）として利用することはできなかった。また、電源／グラウンドの属性変更や複数電源には対応できなかった。

【0005】

【発明が解決しようとする課題】上記したように、従来のゲートアレイ装置においては、ゲートアレイ装置の入出力バッファタイプの変更を行うことはできず、このため、設計時に見積もった入出力バッファのタイプや駆動能力が実際の回路検証時に不足であったり、あるいは、入出力バッファのタイプや駆動能力を変更して検証を行いたい場合等には、ゲートアレイ装置を再度設計製造するか、あるいは、ゲートアレイ外部のプリント基板上でバッファリングを行うしかなかった。

【0006】本発明は上記した問題点を解決するためになされたものであって、ゲートアレイの再度設計製造を行うことなく、プログラムを変更することにより、入出力バッファの種類を任意に選択変更でき、また、入出力ピンとマスク型ゲートアレイ領域の接続態様を任意に変更することができるゲートアレイ装置を提供することを目的とする。

【0007】

【課題を解決するための手段】図1は本発明のゲートアレイ装置の原理説明図である。同図において、1は従来のマスク型ゲートアレイ装置のゲートアレイ領域と同様な構成を持つゲートアレイ領域、2はプログラマブル領域、3はバッファであり、バッファとしては、例えば同図に示すように双方向バッファ、入力バッファ、出力バッファ等、種類／タイプ／駆動能力等の異なった各種のバッファが設けられている。4はゲートアレイ装置の入

出力ピンであり、プログラマブル領域2をプログラミングすることにより、バッファ3とゲートアレイ領域1との接続態様、バッファ3と入出力ピン4の接続態様を変更することができる。

【0008】図1に示すように、本発明は次のようにして前記課題を解決する。

(1) マスク型ゲートアレイ装置において、マスク型ゲートアレイ領域1の周辺部にプログラマブル領域2を配置する。そして、上記プログラマブル領域2をプログラミングすることによりバッファ3とマスク型ゲートアレイ領域1との接続態様および/またはバッファ3と入出力ピン4との接続態様を変更できるようにする。

(2) 上記(1)において、バッファ3を、種類/タイプ/駆動能力の異なった複数のバッファから構成し、バッファ数を入出力ピン数および/またはマスク型ゲートアレイ領域の端子数より多くする。

(3) 上記(2)において、プログラマブル領域2のプログラミングにより、マスク型ゲートアレイ領域1への入出力信号の接続態様および使用するバッファの種類/タイプ/駆動能力を変更可能とする。例えば図1において、入出力ピンAの接続をマスク型ゲートアレイ領域の端子aからbに変更し、バッファを出力バッファから入力バッファに変更する場合には、プログラマブル領域2をプログラムして、今まで使用していたバッファB1を切り離し(点線部分を切り離す)、同図の実線で示すようにマスク型ゲートアレイ領域1の端子bとバッファB2を接続するとともに、該バッファB2と入出力ピンAを接続する。

(4) 上記(2)において、プログラマブル領域2のプログラミングにより、マスク型ゲートアレイ領域1と入出力ピン4間に接続されるバッファを、入力バッファもしくは出力バッファに変更できるようにする。例えば図1において、マスク型ゲートアレイ領域の端子aと入力ピンA間に接続されていた出力バッファを入力バッファに変更する場合には、プログラマブル領域2のプログラミングにより、今まで使用していた出力バッファB1を切り離し、マスク型ゲートアレイ領域1の端子aと入力バッファB2の間、および、入力バッファB2と入出力ピンAの間を接続し、バッファを入力バッファB1から出力バッファB2に変更する。

(5) 上記(2)において、プログラマブル領域2のプログラミングにより、複数のバッファをマスク型ゲートアレイ領域1の同一端子に接続し、マスク型ゲートアレイ領域1の同一端子に接続される入出力ピン4の本数を複数とする。例えば、マスク型ゲートアレイ領域1の端子cから2つのピンに出力する場合には、図1に示すように、プログラマブル領域2のプログラミングにより、バッファB3とバッファB4をマスク型ゲートアレイ領域1の端子cに接続するとともに、それぞれのバッファを入出力ピンC、Dに接続し、マスク型ゲートアレイ領

域1の端子cに接続される入出力ピン4の本数を2本とする。

(6) 上記(2)において、プログラマブル領域2のプログラミングにより、ゲートアレイ装置の電源、グラウンドの属性を変更できるようにする。例えば、+5V電源に接続されるピンEをグラウンドGNDに接続されるピンに変更する場合には、上記のようにプログラマブル領域2のプログラミングによりピンEとマスク型ゲートアレイ領域1の接続態様を変更し、ピンEをマスク型ゲートアレイ領域1のGND端子に接続する。

(7) 上記(1)(2)において、プログラマブル領域2のプログラミングにより、入出力ピンを複数電源に対応できるようにする。例えば、+5V系のピンFを+3V系のピンに変更する場合には、上記のように、プログラマブル領域2のプログラミングによりピンFとマスク型ゲートアレイ領域1の接続態様を変更し、ピンFをマスク型ゲートアレイ領域1の+3V端子に接続する。本発明の請求項1～請求項7の発明は、上記(1)～(7)のように構成したので、ゲートアレイ装置の入出力バッファの種類/タイプ/駆動能力等の変更をゲートアレイ装置やプリント基板の再度設計製造をすることなく、プログラマブル領域のプログラムの変更のみで行うことができる。また、ゲートアレイ試験時等において、プログラムのみで入力ピン(出力ピン)を出力ピン(入力ピン)に変更することができ、マスク型ゲートアレイ領域への入力信号やマスク型ゲートアレイ領域からの出力信号をプログラムにより選択することができる。さらに、マスク型ゲートアレイ装置のピンの電源/グラウンドの変更、あるいは複数電源への対応を容易に行うことができる。

【0009】

【発明の実施の形態】図2は本発明の実施例のゲートアレイ装置の概略構成を示す図である。同図において、10は本実施例のゲートアレイ装置、11は論理セルから構成されるゲートアレイ領域であり、従来のマスク型ゲートアレイ装置のゲートアレイ領域と同様な構成を備えている。12はマトリックス状に構成されたプログラマブル領域、13はバッファであり、バッファ13の入出力側に上記プログラマブル領域12が設けられており、後述するようにプログラマブル領域12をプログラミングをすることにより、入出力バッファの種類を任意に選択変更することができる。14はRAMであり、RAMにプログラムを書き込むことにより上記プログラマブル領域12のプログラミングを行う。また、15は上記プログラマブル領域12の端子に接続されたI/Oピンである。

【0010】図3は上記バッファ13の構成例を示す図である。バッファ13は同図(a)に示すように駆動能力の異なった双方向性バッファBB1、BB2、BB3、…、を複数配置したり、あるいは、同図(b)に示

すように、駆動能力と向きの異なった単方向性バッファ B1, B2, B3, …, を複数配置したり、さらに、上記(a)に示す双方向性バッファと(b)に示す単方向性バッファを複数混在させて構成する。上記バッファは、異なった駆動能力のバッファ(例えば大、中、小)を複数用意し、バッファ数は、少なくともゲートアレイ領域11の入出力端子数やI/Oピン15の端子数より多く設けるのが望ましく、プログラムにより必要なバッファを選択して使用する。

【0011】図4は本実施例のゲートアレイ装置のプログラミング手法を説明する図である。同図において、10は本実施例のゲートアレイ装置、12はプログラマブル領域、14はRAM、16はゲートアレイ装置10の外部に設けられたROMあるいはハードディスク等の記憶手段であり、記憶手段16にはプログラマブル領域12のプログラムが記憶されている。プログラマブル領域12のマトリックスの各交点はRAM14の各記憶領域に対応付けられており、RAM14の各記憶領域に所定の値を記憶させることにより、プログラマブル領域のマトリックスの縦方向のラインと横方向のラインを任意に接続/切り離しすることができる。

【0012】そして、予め記憶手段16にゲートアレイ10のプログラマブル領域12のプログラムを記憶させておき、システムの立ち上げ時等に、記憶手段16に記憶されたプログラムをRAM14にダウンロードする。これにより、記憶手段16に記憶されたプログラムに基づき、ゲートアレイ10のゲートアレイ領域11の入出力端子とバッファ13の端子との接続、および、バッファ13の端子とI/Oピン15との接続を任意にプログラミングすることができる。

【0013】図5～図8は本実施例のゲートアレイ装置の使用例を説明する図であり、同図により本実施例におけるゲートアレイ装置の使用例を説明する。図5(a-1)(a-2)はゲートアレイの入出力バッファの種類を変更する場合を説明する図である。同図(a-1)に示すようにバッファ1を使用するように設計したが、バッファのタイプが適切でなかったり駆動能力が実際の回路検証時に不足であったとき、プログラマブル領域のプログラミングを変更し、同図(a-2)に示すようにタイプもしくは駆動能力の異なったバッファ2に変更する。

【0014】図5(b-1)(b-2)はゲートアレイの出力バッファを増加させる場合を説明する図である。同図(b-1)に示すように1個のバッファ1を使用するように設計したが、1個のバッファでは不足であることが分かったとき、プログラマブル領域のプログラミングを変更し、同図(b-2)に示すようにバッファ1、バッファ2の入力側を並列接続し、バッファ1、バッファ2のそれぞれから出力を発生させる。

【0015】図6(c-1)(c-2)はゲートアレイ

の入力位置を変更する場合を説明する図である。同図(c-1)に示すようにバッファ1を介してゲートアレイ領域の端子aに入力するようにしていたが、バッファ1をゲートアレイ領域の端子bに接続する必要性が生じたとき、プログラマブル領域のプログラミングを変更し、同図(c-2)に示すようにバッファ1の出力をゲートアレイ領域の端子bに接続する。

【0016】図6(d-1)(d-2)はゲートアレイの出力位置を変更する場合を説明する図である。同図(d-1)に示すようにゲートアレイ領域の端子aからバッファ1を介して出力するようにしていたが、バッファ1をゲートアレイ領域の端子bに接続する必要性が生じたとき、プログラマブル領域のプログラミングを変更し、同図(d-2)に示すようにゲートアレイ領域の端子bの出力をバッファ1に接続する。

【0017】図7(e-1)(e-2)はゲートアレイの入力/出力を変更する場合を説明する図である。同図(e-1)に示すようにゲートアレイ領域の端子aの出力を出力バッファ1を介して出力するようにしていたが、ゲートアレイ領域の端子bに外部からの入力を与える必要性が生じたとき、プログラマブル領域のプログラミングを変更し、同図(e-2)に示すように入力バッファ2をゲートアレイ領域の端子bに接続する。

【0018】図7(f-1)(f-2)はゲートアレイの電源/グランドを変更する場合を説明する図である。同図(f-1)に示すようにゲートアレイ領域の端子aをバッファ1を介して+5Vラインに接続していたが、ゲートアレイ領域の端子bをグランドに接続する必要性が生じたとき、プログラマブル領域のプログラミングを変更し、同図(f-2)に示すようにゲートアレイ領域の端子bをバッファ2を介しグランドGNDに接続する。

【0019】図8(g-1)(g-2)はゲートアレイの入出力ピンを複数電源対応とする場合を説明する図である。同図(g-1)に示すようにゲートアレイ領域の端子aをバッファ1を介して入出力ピンAに接続された+5V系に接続していたが、入出力ピンAに接続する電源を変更する場合、プログラマブル領域のプログラミングを変更し、同図(g-2)に示すようにゲートアレイ領域の端子bをバッファ2を介し3V系に接続する。以上、図5～図8で説明したように、ゲートアレイ10のプログラマブル領域12をプログラミングすることにより、入出力バッファのタイプや駆動能力の変更、入力/出力の変更、入出力位置の変更、電源/グランドの属性変更や複数電源に容易に対応することができる。

【0020】

【発明の効果】以上説明したように本発明においては、マスク型ゲートアレイ領域の周辺部にプログラマブル領域を配置し、プログラマブル領域をプログラミングすることによりバッファとマスク型ゲートアレイ領域との接続態様および/またはバッファと入出力ピンとの接続態

様を変更できるようにしたので下記の効果を得ることができる。

【0021】(1) ゲートアレイ装置の入出力バッファの種類／タイプ／駆動能力を、ゲートアレイ装置やプリント基板を再度設計製造をすることなく、プログラムの変更のみで行うことができる。このため、ゲートアレイ装置を再度設計製造を行うための開発期間やコストを不要にすることができ、また、プリント基板上のパターン加工等も不要となり、信頼性を向上することができる。

【0022】(2) ゲートアレイ装置の試験時等には、入力ピン(出力ピン)を出力ピン(入力ピン)に変更する場合があるが、このような変更に対応することができ、また、マスク型ゲートアレイ領域への入力信号やマスク型ゲートアレイ領域からの出力信号をプログラムにより選択することができ、論理回路の可制御性、可観測性の向上に役立てることができる。

(3) 電源／グランドの変更、複数電源への対応を容易に行うことができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の実施例のゲートアレイ装置の概略構成を示す図である。

【図3】本発明の実施例のバッファの構成例を示す図で*

*ある。

【図4】本発明の実施例のゲートアレイ装置のプログラミングを説明する図である。

【図5】本発明のゲートアレイ装置の使用例を説明する図(その1)である。

【図6】本発明のゲートアレイ装置の使用例を説明する図(その2)である。

【図7】本発明のゲートアレイ装置の使用例を説明する図(その3)である。

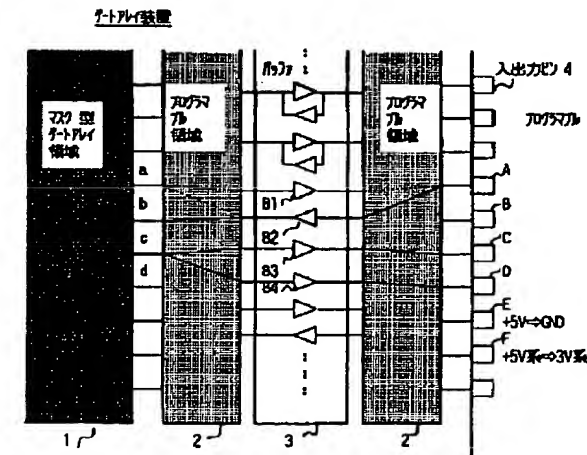
10 【図8】本発明のゲートアレイ装置の使用例を説明する図(その4)である。

【符号の説明】

- | | |
|----|-----------|
| 1 | ゲートアレイ領域 |
| 2 | プログラマブル領域 |
| 3 | バッファ |
| 4 | 入出力ピン |
| 10 | ゲートアレイ装置 |
| 11 | ゲートアレイ領域 |
| 12 | プログラマブル領域 |
| 13 | バッファ |
| 14 | RAM |
| 15 | I/Oピン |
| 16 | 記憶手段 |

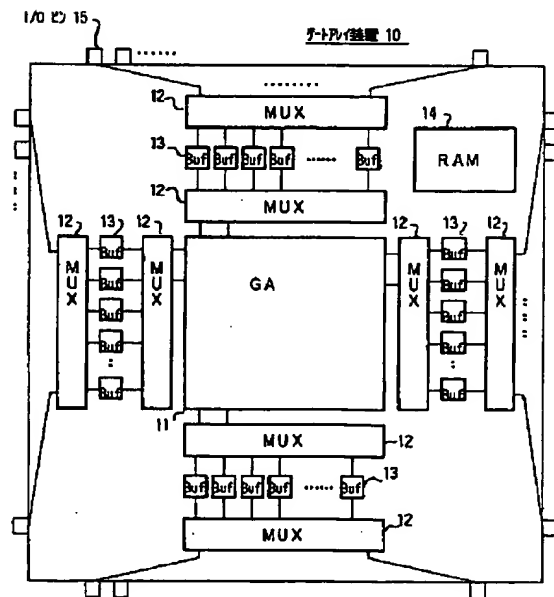
【図1】

本発明の原理説明図



【図2】

本発明の実施例のゲートアレイ装置の概略構成を示す図

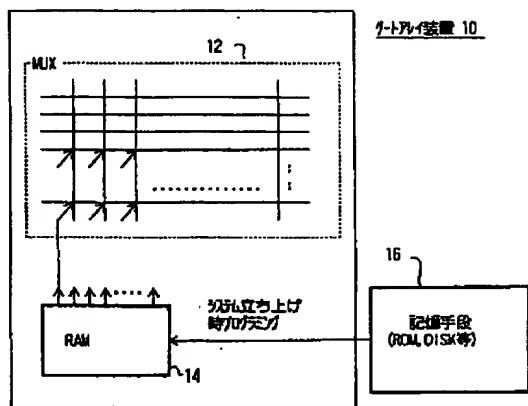
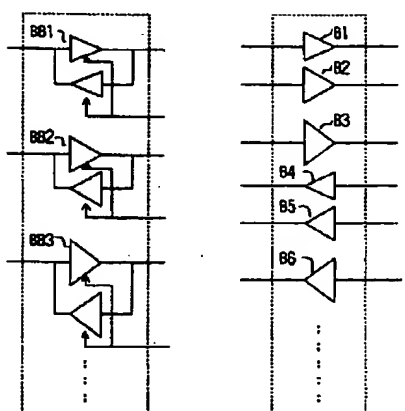


【圖 3】

【図4】

本発明の実施例のバッファの構成例を示す図

本発明の実施例のゲートアレイ装置のプログラミングを説明する図

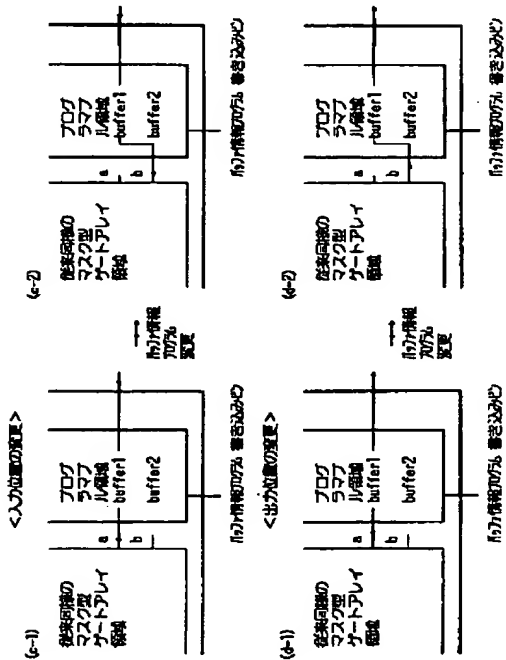
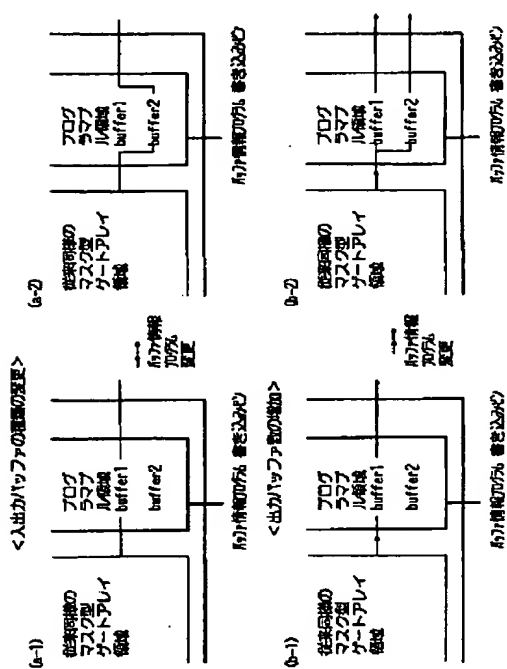


【図5】

【图6】

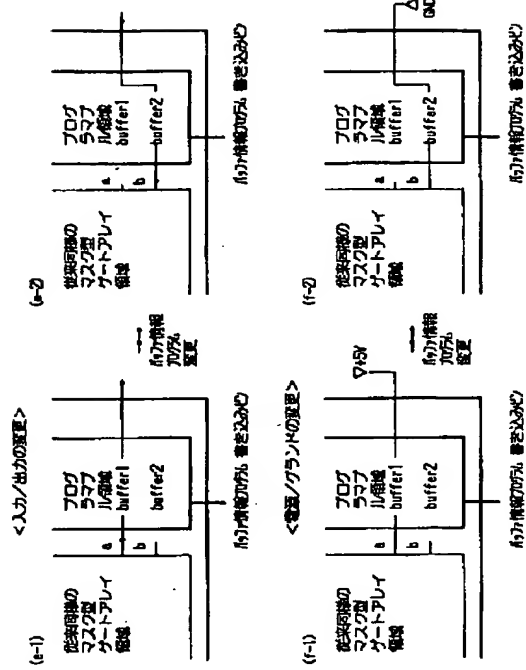
本発明のゲートアレイ装置の使用例を説明する図（その１）

本発明のゲートアレイ装置の使用例を説明する図（その２）



【図7】

本発明のゲートアレイ装置の使用例を説明する図（その3）



【図8】

本発明のゲートアレイ装置の使用例を説明する図（その4）

